

**PCT**WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<b>(51) Internationale Patentklassifikation <sup>7</sup> :</b>  <b>H01L</b>	<b>A2</b>	<b>(11) Internationale Veröffentlichungsnummer:</b> <b>WO 00/21118</b>  <b>(43) Internationales Veröffentlichungsdatum:</b> 13. April 2000 (13.04.00)
<b>(21) Internationales Aktenzeichen:</b> PCT/DE99/03208  <b>(22) Internationales Anmeldedatum:</b> 5. Oktober 1999 (05.10.99)  <b>(30) Prioritätsdaten:</b> 198 46 063.5      7. Oktober 1998 (07.10.98)      DE  <b>(71) Anmelder (für alle Bestimmungsstaaten ausser US):</b> FORSCHUNGSZENTRUM JÜLICH GMBH [DE/DE]; Wilhelm-Johnen-Strasse, D-52425 Jülich (DE).  <b>(72) Erfinder; und</b> <b>(75) Erfinder/Anmelder (nur für US):</b> MARSO, Michel [LU/DE]; Lorscheckerstrasse 22g, D-52428 Jülich (DE). MOERS, Jürgen [DE/DE]; Kempstrasse 8a, D-41748 Viersen (DE). KLAES, Dirk [DE/DE]; Wolkenburgstrasse 7, D-53721 Siegburg (DE). KORDOS, Peter [SK/DE]; Berliner Strasse 27, D-52428 Jülich (DE). LÜTH, Hans [DE/DE]; Eupener Strasse 299B, D-52076 Aachen (DE).  <b>(74) Gemeinsamer Vertreter:</b> FORSCHUNGSZENTRUM JÜLICH GMBH; Personal und Recht - Patente (PR-PT), D-52425 Jülich (DE).		<b>(81) Bestimmungsstaaten:</b> CA, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  <b>Veröffentlicht</b> <i>Ohne internationalen Recherchenbericht und erneut zu          veröffentlichen nach Erhalt des Berichts.</i>
<b>(54) Title:</b> METHOD FOR PRODUCING A DOUBLE GATE OF A MOSFET  <b>(54) Bezeichnung:</b> VERFAHREN ZUR HERSTELLUNG EINES DOUBLE-GATE MOSFETS  <b>(57) Abstract</b>  The invention relates to a method for producing a component with sub-100 nm structuring. Only one sub-100 nm structuring is provided for when initial geometric configuring occurs. A double gate MOSFET with sub-100 nm structuring can be chosen as said component.  <b>(57) Zusammenfassung</b>  Die Erfindung betrifft ein Verfahren zur Herstellung eines Bauelements mit sub-100 nm-Strukturierung. Dabei ist zu Anfang der geometrischen Ausbildung des Bauelements eine einzige sub-100 nm-Strukturierung vorgesehen. Als Bauelement kann ein Double-Gate MOSFET mit sub-100 nm-Strukturierung gewählt sein.		

### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## B e s c h r e i b u n g

## Verfahren zur Herstellung eines Double-Gate MOSFETs

---

Die Erfindung betrifft ein Verfahren zur Herstellung eines Double-Gate MOSFETs gemäß dem Oberbegriff des Anspruchs 1.

Die bekannten integrierten Schaltungen der Halbleitertechnik basieren zu einem großen Teil auf der Silizium-basierenden CMOS-Technologie. Durch die zunehmende Verringerung der Transistorabmessungen in CMOS-Schaltungen zur Erhöhung von Geschwindigkeit und Integrationsdichte wachsen die Anforderungen an die gesamte Technologie, insbesondere an die Lithographie zur Definition der Bauelementabmessungen. Außerdem führt die Verkleinerung der Bauelementabmessungen zu sogenannten Kurzkanaleffekten, durch welche die Eigenschaften wie z.B. Ausgangsleitwert, Sperrverhalten, Schaltverhalten negativ beeinträchtigt werden. Durch Modifikationen am MOSFET, beispielsweise durch das Anbringen eines zweiten Gates unter dem Kanal kann das Verhalten verbessert werden. Die Umschließung der Kanalschicht von beiden Seiten erlaubt die vollständige Kontrolle durch das Gate und damit eine Reduzierung der Kurzkanaleffekte, sofern die Kanalschicht dünn genug ist.

Die technologisch sehr anspruchsvolle Herstellung eines solchen Double-Gate-Transistors als laterales Bauelement mit Stromfluß parallel zur Oberfläche ist beispielsweise aus „Double-gate MOSFET demonstrates 25-nm thick channel“, Solid State Technology, 1998 (3), pp. 22 - 24 bekannt. Eine einfachere Möglichkeit besteht in der Ausführung als vertikaler Transistor, ähnlich den bekannten Vertikalen MOSFET-Konzepten, wie aus D. Behammer, L. Vescan, R. Loo, J. Moers, A. Mück, H. Lüth, T. Grabolla, Elec-

- tronics Letters 32 (1996), pp. 406 - 407 bekannt. Zur kompletten Einschnürung des Kanalgebietes müssen nachteilig die lateralen Abmessungen bis weit in den sub-100nm-Bereich reduziert werden. Folglich sind bei der Herstellung solcher bekannter Bauelemente
- 5 Verfahren notwendig, die eine Vielzahl von Strukturierungsschritten im Bereich unterhalb von 1  $\mu\text{m}$  aufweisen. Damit sind in nachteiliger Weise mehrfach kritische Justierungen nach den einzelnen Verfahrensschritten notwendig, um die geometrische Ausdehnung des Bauelements in diesen Dimensionen zu realisieren.
- 10 Es ist deshalb Aufgabe der Erfindung ein Verfahren zur Herstellung eines vertikalen Double-Gate-MOSFETs bereitzustellen, bei dem eine technologisch vereinfachte Abfolge erreicht wird.
- 15 Die Aufgabe wird gelöst durch ein Verfahren gemäß der Gesamtheit der Merkmale nach Anspruch 1. Weitere zweckmäßige oder vorteilhafte Varianten finden sich in den auf diesen Anspruch rückbezogenen Unteransprüchen.
- 20 Es wurde erkannt, daß zur Lösung der Aufgabe zu Anfang der Bildung des Bauelements eine Strukturierung unterhalb von 1  $\mu\text{m}$  (sub-100 nm-Strukturierung) vorgesehen wird. Der Vorteil der Erfindung liegt darin, daß nur eine einzige sub-100nm-Strukturierung notwendig ist. Besonders vorteilhaft ist dabei, daß eine Justie-
- 25 rung dieser sub-100nm-Strukturierung als erster Strukturierungsschritt nicht erforderlich ist. Nach diesem technologisch anspruchsvollen Verfahrensschritt ist keine weitere präzise sub- $\mu\text{m}$ -genaue Justierung mehr erforderlich. Damit wird im Vergleich zu den bekannten Herstellungsverfahren die Herstellung des er-
- 30 findungsgemäßen Bauelements erheblich erleichtert.

Die nachfolgenden Verfahrensschritte sind selbstjustierend, Zwar sind bei weiteren Verfahrensschritten Justierungen erforderlich, wie zum Beispiel beim Öffnen von Kontaktfenstern und bei der

Isolierung der Einzelbauelemente. Dabei handelt es sich jedoch nur um unkritische Strukturierungsschritte, die zwar Justiertoleranzen aufweisen, aber wobei in Folge dieser Toleranzen nicht die Bauelementabmessungen vergrößert werden.

5

Es bedarf folglich keiner hochgenauen Ausführung dieser weiteren Strukturierungsschritte. Das erfindungsgemäße Verfahren zur selbstjustierten Herstellung eines vertikalen Double-Gate-MOSFETs erlaubt zudem in vorteilhafter Weise die Verwendung von Standard-Technologieschritten.

Im Rahmen der Erfindung beinhaltet das erfindungsgemäße Herstellungsverfahren zudem die beiden Planarisierungsschritte zum selbstjustierten Öffnen eines Kontaktfensters für die obere Kontaktschicht bei gleichzeitiger Isolation der Gatekontaktierung.

Das erfindungsgemäße Verfahren ist nicht auf die Herstellung eines vertikalen Double-Gate-MOSFETs beschränkt. Vielmehr ist es vorstellbar, daß das Verfahren mit geeignet geändertem Dotierverlauf auch zur Herstellung von Quantentransistoren, z.B. zur Herstellung eines Single-Electron Transistors eingesetzt wird.

Der Vorteil des mit Hilfe des erfindungsgemäßen Verfahrens hergestellten Double-Gate MOSFETs, weist die für dieses Bauelement bekannten Vorteile auf: gegenüber den konventionellen MOSFETs besteht dieser Vorteil in der Verminderung von Kurzkanaleffekten bei kleinen Kanallängen. Dadurch wird das elektrische Verhalten verbessert. Die Ausführung als Transistor mit vertikalem Stromfluß ermöglicht eine höhere Packungsdichte als bei den üblichen lateralen MOSFETs. Außerdem wird die beidseitige Umschließung des Kanalgebietes mit Gateoxid erreicht, ohne daß das Silizium nachträglich auf Oxid aufgewachsen werden muß.

Die Erfindung ist im weiteren an Hand von Figuren und Ausführungsbeispiel näher erläutert. Es zeigt:

- 5 Fig. 1 : Verfahrensschritte A bis F zur Herstellung eines erfindungsgemäßen vertikalen Double-Gate-MOSFETs.

#### Ausführungsbeispiel

10

Im folgenden wird an Hand der Figuren 1A bis 1F die Herstellung eines n-Kanal Double-Gate-MOSFETs beschrieben. Es ist jedoch im Rahmen der Erfindung auch vorstellbar, durch entsprechende Dotierung auf diese Weise ein p-Kanal-Bauelement zu bilden.

15

Ausgangsbasis ist ein geeignet dotierter Si-Wafer, z.B. mit einer n-p-n Schichtfolge für einen n-Kanal-MOSFET. Auf diesen Wafer wird zunächst eine Maskierungsschicht aufgetragen und auf Dimensionen im sub-100nm-Bereich strukturiert.

20

Als Material für die Maskierungsschicht kann z.B. Silizium (einkristallin oder polykristallin oder amorph), ein Silizid (z.B.  $\text{CoSi}_2$ ), ein Metall oder ein Isolationsmaterial (z.B.  $\text{SiO}_2$ ) gewählt werden. Diese sub-100nm-Strukturierung kann vor dem Aufbringen der Maskierungsschicht z.B. mittels Elektronenstrahl-Lithographie und Lift-off-Technik erfolgen. Es ist auch vorstellbar, diese sub-100nm-Strukturierung nach dem Aufbringen der Maskierungsschicht durchzuführen. Zur sub-100nm-Strukturierung kann eine Elektronenstrahl-Lithographie oder eine optische Lithographie und eine sogenannte Spacertechnologie, eine Technologie die zum Beispiel in Physikalische Blätter 48 (1992), Nr. 11 p. 930 beschrieben wurde, zum Einsatz kommen. Anschließend wird der Bereich der nicht geschützten Maskierungsschicht naßchemisch oder trockenchemisch weggeätzt (Figur 1, A).

25

30

Mit der Maskierungsschicht als Maske wird anschließend eine Ätzung der Siliziumschichtfolge zur Definition des Bauelementes durchgeführt. Die untere n-Schicht wird dabei nicht ganz durchgeätzt (Figur 1, B).

5

Danach erfolgt ein ganzflächiges Auftragen von Gateoxid und dotiertem Polysilizium auf die gebildete Probe. Dabei wird ein Verfahren gewählt, bei welchem die senkrechten Seitenwände des Bauelementes mit bedeckt werden, z.B. thermische Oxidation zur Herstellung des Oxids, Chemical Vapour Deposition zum Abscheiden des Polysiliziums. Das Polysilizium dient zur Bildung der Gate-Elektrode. Diese Material weist Vorteile gegenüber anderen Materialien auf. Je nach Bedarf kann aber auch ein anderes geeignetes leitendes Material gewählt werden.

15

Sodann wird die Waferoberfläche planarisiert. Hierzu können bekannte Verfahren eingesetzt werden. Beispielsweise kann dazu Polyimid oder  $\text{SiO}_2$  oder  $\text{Si}_3\text{N}_4$  aufgetragen werden, eventuell kombiniert mit weiteren Ätzschritten (Figur 1, C).

20

In einem weiteren Verfahrensschritt wird die Planarisierungsschicht soweit weggeätzt bis die Spitze des Bauelements freiliegt. Anschließend wird anisotrop geätzt, wobei das Polysilizium selektiv gegenüber der Maskierungsschicht und dem Gateoxid weggeätzt wird. Es ist vorstellbar, daß dabei das Gateoxid auf der Maskierungsschicht weggeätzt wird, soweit dies erwünscht ist.

25

Nunmehr wird das Polysilizium soweit zurückgeätzt, daß eine elektrische Verbindung mit der oberen Schicht des Siliziumschichtstapels vermieden wird. Es ist jedoch zweckmäßig, daß noch soviel Polysilizium stehen bleibt, daß eine Spannung am Polysilizium eine Steuerwirkung auf den Transistor zeigt (Figur 1, D).

30

Des weiteren erfolgt ein zweiter Planarisierungsschritt mit isolierendem Material. Anschließend wird Material dieser Planarisierungsschicht weggeätzt bis die Spitze des Bauelementes freiliegt, das Polysilizium jedoch bedeckt bleibt. Durch diesen Schritt wird der obere Kontakt des Transistors selbstjustierend freigelegt (Figur 1, E).

Danach werden Kontaktfenster zum Kontaktieren der Polysiliziumschicht und der unteren Siliziumschicht gebildet. Außerdem wird die Maskierungsschicht, sofern diese nicht zur elektrischen Kontaktierung genutzt wird, durch Ätzung entfernt.

Im folgenden werden das Polysilizium, das Gateoxid und Material der unteren n-Schicht an den nicht benötigten Stellen weggeätzt. Anschließend wird eine Isolationsschicht an den Stellen gebildet, wo durch die spätere Kontaktmetallisierungen Kurzschlüsse entstehen würden.

Schließlich werden die elektrischen Kontakte für Gate (Polysilizium-Schicht) sowie für Source und Drain (obere Siliziumschicht, z.B. an der Maskierungsschicht, und untere Siliziumschicht) aufgebaut (Figur 1, F).

Dieses Herstellungsverfahren ergibt einen vertikalen MOSFET, bei welchem das Kanalgebiet mit sub-100 nm-Ausdehnung ganzseitig vom Gate umgeben ist. Dies wird allgemein als „surrounding gate“ bezeichnet. Durch die sehr geringe Ausdehnung des Kanalgebietes funktioniert das Bauelement wie ein Double-Gate MOSFET.

30

Im Rahmen der Erfindung ist es vorstellbar, auch andere Bauelemente mit mehreren sub-100 nm-Strukturen in unterschiedlichen räumlichen Orientierungen auf diese Weise mittels einer sub-100 nm-Strukturierung zu bilden. Dabei kann die erfindungsgemäße Er-



kenntnis genutzt werden, in Abhängigkeit der gewünschten geometrischen Formgebung des Bauelements einerseits eine Schichtenfolge aus einer oder mehrerer Schichten mit einer Schichtdicke im sub-100 nm-Bereich zu bilden um auf diese Weise die geometrische Ausdehnung in zwei von drei Dimensionen festzulegen.

Andererseits kann sodann diese Schichtenfolge mit einer Maskentechnik im sub-100 nm-Bereich strukturiert werden, um auf diese Weise die verbleibende, dritte, räumliche Dimensionierung des gewünschten Bauelements festzulegen. Es wurde im Rahmen der Erfindung erkannt, die Bildung der Schichtenfolge mit einer sub-100 nm-Strukturierung zu kombinieren, sodaß damit ohne weiteres Strukturen im sub-100 nm-Bereich in den drei räumlichen Dimensionen erhalten werden. Die Schichtdicke der Schicht oder der Schichten innerhalb der Schichtenfolge mag dabei Werte im sub-100nm-Bereich bis hin zu Monolagen annehmen.

Patentansprüche

---

1. Verfahren zur Herstellung eines Bauelements mit sub-100 nm-Strukturierung, dadurch gekennzeichnet, daß zu Anfang der geometrischen Ausbildung des Bauelements eine einzige Strukturierung unterhalb von 1µm (sub-100 nm-Strukturierung) vorgesehen wird.
2. Verfahren nach Anspruch 1, gekennzeichnet durch einen MOSFET als Bauelement mit sub-100 nm-Strukturierung.
3. Verfahren nach Anspruch 1 oder 2, gekennzeichnet durch einen Double-Gate MOSFET als Bauelement mit sub-100 nm-Strukturierung.
4. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch folgende Schritte:
- Bildung einer auf die spätere geometrische Ausbildung des Bauelements abgestimmte Schichtenfolge, insbesondere Bildung einer n-p-n-Schichtenfolge,
  - Bildung einer Maskierungsschicht auf der freiliegenden Oberfläche dieser Schichtenfolge,

- 9 -

- Strukturierung der Maskierungsschicht unterhalb von  $1\mu\text{m}$  (sub-100 nm-Strukturierung) zur geometrischen Festlegung einer der Dimensionen des zu bildenden Bauelements,
- 5    - Entfernung des nicht unterhalb der von der Maskierungsschicht gebildeten Maske liegenden Materials der Schichtenfolge zumindest bis zur mit dem Substrat verbundenen Schicht.

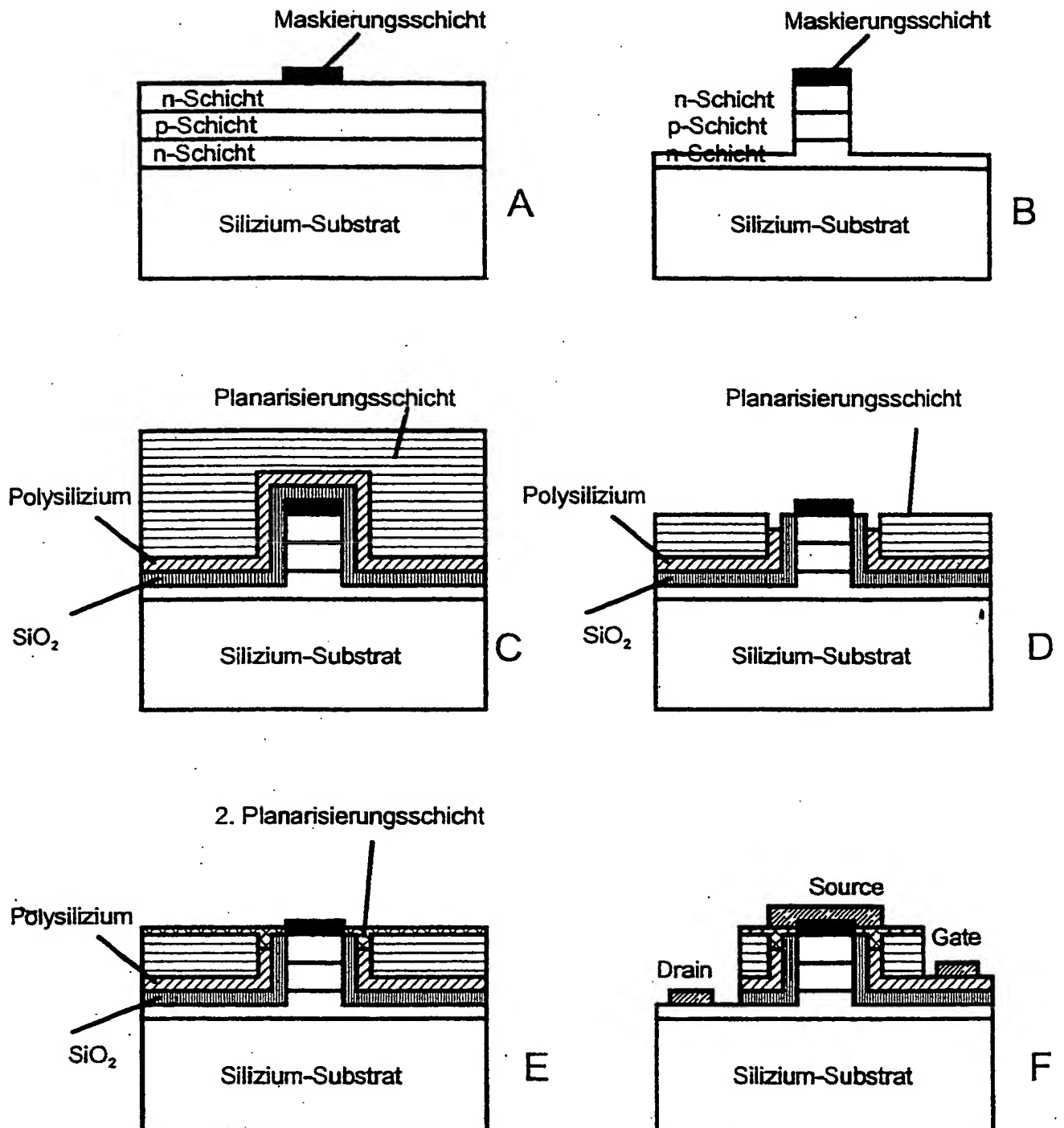


Fig. 1

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
13. April 2000 (13.04.2000)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 00/21118 A3

(51) Internationale Patentklassifikation<sup>7</sup>: H01L 21/336,  
29/78

7, D-53721 Siegburg (DE). KORDOS, Peter [SK/DE];  
Berliner Strasse 27, D-52428 Jülich (DE). LÜTH, Hans  
[DE/DE]; Eupener Strasse 299B, D-52076 Aachen (DE).

(21) Internationales Aktenzeichen: PCT/DE99/03208

(74) Gemeinsamer Vertreter: FORSCHUNGSZENTRUM  
JÜLICH GMBH; Personal und Recht - Patente (PR-PT),  
D-52425 Jülich (DE).

(22) Internationales Anmeldedatum:  
5. Oktober 1999 (05.10.1999)

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*national*): CA, JP, KR, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE).

(30) Angaben zur Priorität:  
198 46 063.5 7. Oktober 1998 (07.10.1998) DE

Veröffentlicht:

— Mit internationalem Recherchenbericht.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme  
von US): FORSCHUNGSZENTRUM JÜLICH GMBH  
[DE/DE]; Wilhelm-Johnen-Strasse, D-52425 Jülich (DE).

(88) Veröffentlichungsdatum des internationalen  
Recherchenberichts: 11. Januar 2001

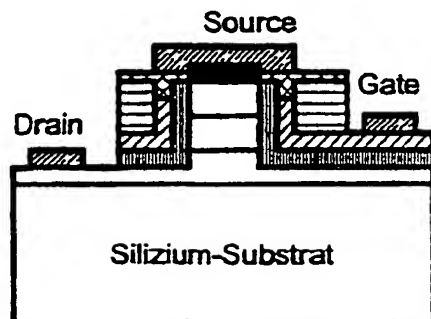
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): MARSO, Michel  
[LU/DE]; Lorscheckerstrasse 22g, D-52428 Jülich (DE).  
MOERS, Jürgen [DE/DE]; Kempstrasse 8a, D-41748  
Viersen (DE). KLAES, Dirk [DE/DE]; Wolkenburgstrasse

Zur Erklärung der Zweibuchstaben-Codes, und der anderen  
Abkürzungen wird auf die Erklärungen ("Guidance Notes on  
Codes and Abbreviations") am Anfang jeder regulären Ausgabe  
der PCT-Gazette verwiesen.

(54) Title: METHOD FOR PRODUCING A DOUBLE GATE OF A VERTICAL MOSFET

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES VERTIKALEN MOSFETS



Silicon substrate

(57) Abstract: The invention relates to a method for producing  
a component with sub-100 nm structuring. Only one sub-100  
nm structuring is provided for when initial geometric configuring  
occurs. A double gate MOSFET with sub-100 nm structuring can  
be chosen as said component, whereby the gate thereof encloses  
the channel.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur  
Herstellung eines Bauelements mit sub-100 nm-Strukturierung. Da-  
bei ist zu Anfang der geometrischen Ausbildung des Bauelements  
eine einzige sub-100 nm-Strukturierung vorgesehen. Als Bauele-  
ment kann ein MOSFET gewählt werden, dessen Gatter den Kanal  
umschließt.



WO 00/21118 A3

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/03208

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L21/336 H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

INSPEC, WPI Data, EPO-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 612 255 A (CHAPPLE-SOKOL JONATHAN D ET AL) 18 March 1997 (1997-03-18)	1,2
Y	figure 2	3,4
Y	DE 197 11 482 A (RUHR UNI BOCHUM ; SIEMENS AG (DE)) 24 September 1998 (1998-09-24)	3,4
	figures 1-9	
X	DE 42 35 152 A (INST HALBLEITERPHYSIK GMBH FRA) 21 April 1994 (1994-04-21)	1,2
	figures 1,2	
A	DE 42 38 749 A (INST HALBLEITERPHYSIK GMBH) 19 May 1994 (1994-05-19)	1-4
	figures 1,2	
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

16 October 2000

Date of mailing of the international search report

23/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Gélébart, J.

## INTERNATIONAL SEARCH REPORT

Internat'l Application No

PCT/DE 99/03208

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 2 222 306 A (PLESSEY CO PLC) 28 February 1990 (1990-02-28) figures 11,12 ----	1-4
A	AEUGLE TH ET AL: "ADVANCED SELF ALIGNED SOI CONCEPTS FOR VERTICAL MOS TRANSISTORS WITH ULTRASHORT CHANNEL LENGHTS" PROCEEDINGS OF THE EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 22 September 1997 (1997-09-22), XP000764862 figure 4 ----	1-4
A	DE 196 21 244 A (EISELE IGNAZ PROF DR ;KAESER FLORIAN DIPL PHYS (DE)) 14 November 1996 (1996-11-14) figure 4 ----	1-4
A	BEHAMMER D ET AL: "Comparison of lateral and vertical Si-MOSFETs with ultra short channels" 1998 E-MRS SPRING CONFERENCE, SYMPOSIUM D: THIN FILMS EPITAXIAL GROWTH AND NANOSTRUCTURES, STRASBOURG, FRANCE, 16-19 JUNE 1998, vol. 336, no. 1-2, pages 313-318, XP004154112 Thin Solid Films, 30 Dec. 1998, Elsevier, Switzerland ISSN: 0040-6090 figure 1 ----	1-4
A	GB 2 103 879 A (SECR DEFENCE) 23 February 1983 (1983-02-23) the whole document -----	1-4

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/03208

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5612255 A	18-03-1997	EP 0661733 A	05-07-1995
DE 19711482 A	24-09-1998	CN 1251207 T	19-04-2000
		WO 9842016 A	24-09-1998
		EP 0968527 A	05-01-2000
DE 4235152 A	21-04-1994	NONE	
DE 4238749 A	19-05-1994	NONE	
GB 2222306 A	28-02-1990	NONE	
DE 19621244 A	14-11-1996	NONE	
GB 2103879 A	23-02-1983	CA 1186811 A	07-05-1985
		DE 3230569 A	05-05-1983
		FR 2511808 A	25-02-1983
		JP 58042277 A	11-03-1983
		US 4449285 A	22-05-1984



### Internationale Aktenzeichen

PCT/DE 99/03208

### A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/336 H01L29/78

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RESEARCHED AREAS

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

INSPEC, WPI Data, EPO-Internal

### C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 612 255 A (CHAPPLE-SOKOL JONATHAN D ET AL) 18. März 1997 (1997-03-18)	1,2
Y	Abbildung 2 ----	3,4
Y	DE 197 11 482 A (RUHR UNI BOCHUM ; SIEMENS AG (DE)) 24. September 1998 (1998-09-24) Abbildungen 1-9 ----	3,4
X	DE 42 35 152 A (INST HALBLEITERPHYSIK GMBH FRA) 21. April 1994 (1994-04-21) Abbildungen 1,2 ----	1,2
A	DE 42 38 749 A (INST HALBLEITERPHYSIK GMBH) 19. Mai 1994 (1994-05-19) Abbildungen 1,2 ----- -/--	1-4



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



**Siehe Anhang Patentfamilie**

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

**"E"** älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie auszuführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

**T\*** Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist.

**"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden**

**\*Y** Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\* & Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

16. Oktober 2000

Absendedatum des internationalen Recherchenberichts

23/10/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2

Europeasches Patentamt  
NL - 2280 HV Rijswijk

Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.

Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gélébart, J-

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	GB 2 222 306 A (PLESSEY CO PLC) 28. Februar 1990 (1990-02-28) Abbildungen 11,12 ---	1-4
A	AEUGLE TH ET AL: "ADVANCED SELF ALIGNED SOI CONCEPTS FOR VERTICAL MOS TRANSISTORS WITH ULTRASHORT CHANNEL LENGTHS" PROCEEDINGS OF THE EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 22. September 1997 (1997-09-22), XP000764862 Abbildung 4 ---	1-4
A	DE 196 21 244 A (EISELE IGNAZ PROF DR ;KAESSEN FLORIAN DIPL PHYS (DE)) 14. November 1996 (1996-11-14) Abbildung 4 ---	1-4
A	BEHAMMER D ET AL: "Comparison of lateral and vertical Si-MOSFETs with ultra short channels" 1998 E-MRS SPRING CONFERENCE, SYMPOSIUM D: THIN FILMS EPITAXIAL GROWTH AND NANOSTRUCTURES, STRASBOURG, FRANCE, 16-19 JUNE 1998, Bd. 336, Nr. 1-2, Seiten 313-318, XP004154112 Thin Solid Films, 30 Dec. 1998, Elsevier, Switzerland ISSN: 0040-6090 Abbildung 1 ---	1-4
A	GB 2 103 879 A (SECR DEFENCE) 23. Februar 1983 (1983-02-23) das ganze Dokument -----	1-4

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/03208

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5612255 A	18-03-1997	EP 0661733 A	05-07-1995
DE 19711482 A	24-09-1998	CN 1251207 T	19-04-2000
		WO 9842016 A	24-09-1998
		EP 0968527 A	05-01-2000
DE 4235152 A	21-04-1994	KEINE	
DE 4238749 A	19-05-1994	KEINE	
GB 2222306 A	28-02-1990	KEINE	
DE 19621244 A	14-11-1996	KEINE	
GB 2103879 A	23-02-1983	CA 1186811 A	07-05-1985
		DE 3230569 A	05-05-1983
		FR 2511808 A	25-02-1983
		JP 58042277 A	11-03-1983
		US 4449285 A	22-05-1984